

CLIPPEDIMAGE= JP404152676A
PAT-NO: JP404152676A
DOCUMENT-IDENTIFIER: JP 04152676 A
TITLE: MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

PUBN-DATE: May 26, 1992

INVENTOR-INFORMATION:
NAME
TAKENAKA, SATOSHI

ASSIGNEE-INFORMATION:
NAME
SEIKO EPSON CORP

COUNTRY
N/A

APPL-NO: JP02278150
APPL-DATE: October 17, 1990

INT-CL (IPC): H01L029/784
US-CL-CURRENT: 257/57

ABSTRACT:

PURPOSE: To enable a thin film semiconductor device to be lessened in off-state current and threshold voltage and improved in transistor characteristics by a method wherein a grain boundary existing in a channel region is limited to one in number and located at an intermediate point of a channel region.

CONSTITUTION: An impurity non-doped silicon thin film 1-5 is subjected to solid growth to form a recrystallized non-doped silicon thin film 1-6. The I-silicon thin film 1-6 starts its solid growth in an area in contact with the I-silicon thin film 1-6 and keeps growing radially centering on the area concerned. Crystal grains growing in the opposed directions are made to hit each other at an halfway point between solid growth impurity doped silicon thin films 1-3 and 1-4 to form a grain boundary 1-7. Then, a gate oxide film 1-8 is formed, and a gate electrode 1-11 is provided. In succession, impurity ions are implanted to form offset regions 1-12 and 1-13. Then, a

layer insulating
film 1-15 is laminated. Next, a contact hole is provided to the
layer
insulating film 1-15 and a gate insulating film, and a source
electrode 1-16
and a drain electrode 1-17 are provided coming into contact with
a source
region 1-9 and a drain region 1-10 respectively.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-152676

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月26日

H 01 L 29/784

9056-4M

H 01 L 29/78

3 1 1 H

審査請求 未請求 請求項の数 3 (全7頁)

⑭ 発明の名称 薄膜半導体装置の製造方法

⑮ 特 願 平2-278150

⑯ 出 願 平2(1990)10月17日

⑰ 発 明 者 竹 中 敏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑱ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑲ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

薄膜半導体装置の製造方法

2. 特許請求の範囲

1) 絶縁性非晶質材料上に形成される薄膜半導体装置に於て、能動領域を構成するシリコン薄膜は、ソース領域とドレイン領域との中間点に一個の結晶粒界を有し、該結晶粒界部分を除いた結晶領域をチャンネル領域とすることを特徴とする薄膜半導体装置の製造方法。

2) 絶縁性非晶質材料上に、不純物添加された非晶質シリコン島を2個隣合わせて形成する第1の工程と、該不純物添加された非晶質シリコン島を結晶成長させて再結晶化シリコン島を形成する第2の工程と、さらに、イントリンシック非晶質シリコン薄膜を積層する第3の工程と、前記再

結晶化シリコン島をシードとして前記イントリンシック非晶質シリコン薄膜を結晶成長させ、前記イントリンシック非晶質シリコン薄膜において、前記隣合う2個の再結晶化シリコン島の中間点に当たる位置に1個の結晶粒界を形成する第4の工程と、ゲート酸化膜を形成する第5の工程と、該ゲート酸化膜上にゲート電極をもうけ、該ゲート電極をマスクとして不純物イオンをイオン注入する第6の工程を少なくとも有することを特徴とする特許請求項第1記載の薄膜半導体装置の製造方法。

3) 前記不純物イオンのイオン注入量は、前記不純物添加された非晶質シリコン島の不純物添加量よりも少ないことを特徴とする特許請求項第1記載の薄膜半導体装置の製造方法。

3 発明の詳細な説明

[産業上の利用分野]

本発明は、石英基板あるいはガラス基板のよう

な絶縁性非晶質材料上に結晶性の優れた半導体薄膜を形成し、該半導体薄膜を能動領域に利用した優れた特性を有する薄膜半導体装置の製造方法に関する。

〔従来の技術〕

非晶質絶縁基板あるいは非晶質絶縁膜上に、結晶方位の揃った結晶粒径の大きな多結晶シリコン薄膜、あるいは単結晶シリコン薄膜を形成する方法は、SOI (Silicon On Insulator) 技術として知られている。〔SOI 構造形成技術、産業図書〕。大きく分類すると、再結晶化法、エピタキシャル法、絶縁層埋め込み法、貼り合わせ法という方法がある。再結晶化法には、レーザーアニールあるいは電子ビームアニールによりシリコンを溶融再結晶化させる方法と、溶融する温度までは昇温させずに固相成長させる固相成長法の2つに分類される。比較的低温で再結晶化できるという点で固相成長法が優れている。550℃の低温熱処理にもかかわらずシリコン薄

半導体装置を作製した場合には、同一基板内での特性のばらつきが大きく実用不可能となる。

不純物添加されたシリコン薄膜は、未添加シリコン薄膜に比べてその結晶成長の活性化エネルギーが小さく、結晶粒径も大きくなることが知られているが、薄膜トランジスタの能動領域に前記不純物添加されたシリコン薄膜を用いることはできない。このように不純物添加されたシリコン薄膜の大きな結晶粒径は、従来の技術では有効に利用されていない。

また、薄膜トランジスタのチャネル領域において、結晶粒界の位置を制御することは不可能であった。

さらに、ソース、ドレイン部の構造より、オフ電流が大きいという問題点があった。

本発明は、SOI法、特に固相成長法における上記のような問題点を解決し、不純物添加されたシリコン薄膜の大きな結晶粒径をシードとして、未添加シリコン薄膜を固相成長させ、結晶方位のそろった結晶粒径の大きな未添加シリコン薄膜を

膜の結晶粒が成長したという結果も報告されている。〔IEEE Electron Device Letters, vol. EDL-8, No. 8, p361, August 1987〕。

不純物添加されたシリコン薄膜は、未添加シリコン薄膜に比べてその結晶成長の活性化エネルギーが小さく、結晶粒径も大きくなることが知られている。

〔発明が解決しようとする課題〕

前記固相成長法においては、結晶成長の始点となる単結晶シリコンシードが必要となる。該単結晶シリコンシードが無い場合には、シリコン膜中にランダムに存在する核のために数多くの結晶粒が成長し、該結晶粒のひとつひとつは大きく成長しない。また結晶粒の成長がランダムなために、得られた再結晶化シリコン薄膜のどこに結晶粒界が存在するのか全くわからない。さらに結晶方位もそろっていない。従って、この様な再結晶化シリコン薄膜を用いて薄膜トランジスタなどの薄膜

形成することを目的としている。さらに、ソースとドレイン部をLDD (lightly doped drain) 構造としてオフ電流の低減を目的としている。そして、石英基板あるいはガラス基板のような絶縁性非晶質材料上に、特性の優れた薄膜トランジスタなどのような薄膜半導体装置を作製する方法を提供する事を目的としている。

〔課題を解決するための手段〕

本発明のMOS型薄膜トランジスタ及びその製造方法は、

1) 絶縁性非晶質材料上に形成される薄膜半導体装置に於て、能動領域を構成するシリコン薄膜は、ソース領域とドレイン領域との中間点に一個の結晶粒界を有し、該結晶粒界部分を除いた結晶領域をチャネル領域とすることを特徴とする。

2) 絶縁性非晶質材料上に、不純物添加された非晶質シリコン島を2個隣合わせて形成する第1の工程と、該不純物添加された非晶質シリコン島を結晶成長させて再結晶化シリコン島を形成す

る第2の工程と、さらに、イントリンシック非晶質シリコン薄膜を積層する第3の工程と、前記再結晶化シリコン島をシードとして前記イントリンシック非晶質シリコン薄膜を結晶成長させ、前記イントリンシック非晶質シリコン薄膜において、前記隣合う2個の再結晶化シリコン島の間中点に当たる位置に1個の結晶粒界を形成する第4の工程と、ゲート酸化膜を形成する第5の工程と、該ゲート酸化膜上にゲート電極をもうけ、該ゲート電極をマスクとして不純物イオンをイオン注入する第6の工程を少なくとも有することを特徴とする。

3) 前記不純物イオンのイオン注入量は、前記不純物添加された非晶質シリコン島の不純物添加量よりも少ないことを特徴とする。

[実施例1]

薄膜トランジスタ(TFT)に本発明を応用した場合を例として実施例を説明する。第1図は、本発明の実施例における薄膜トランジスタの製造

chTFTを作製する場合は前記不純物ガスとしてフォスフィンガス(PH₃)を用い、PchTFTを作製する場合はジボランガス(B₂H₆)を用いる。シランガスに対してフォスフィンガスあるいはジボランガスを0.5%以上望ましくは2%以上混合した混合ガスを用いるのが適している。2%以上混合して成膜した不純物添加非晶質シリコン薄膜のシート抵抗は1~3kΩ/□となり約1桁低減する。前記混合ガスは水素ガスあるいはヘリウムガスで希釈してもよい。ヘリウムガスで希釈すると膜中に取り込まれる水素量が減少し、固相成長に要するアニール時間の低減に効果がある。デボ中の内圧は0.5~1.5torr程度である。基板温度は250℃以下、180℃程度が適している。

前記不純物添加されたシリコン薄膜のそのほかの形成方法としては、1)成膜時に不純物を添加する方法。2)未添加シリコン薄膜堆積後、不純物をイオン注入する方法。などがある。1)の方法としては、気相成長法が簡単である。例えばL

方法を示す工程断面図である。

絶縁性非晶質材料上に、非単結晶半導体薄膜を成膜する。前記絶縁性非晶質材料としては、石英基板、ガラス基板、窒化膜あるいはSiO₂膜等が用いられる。石英基板を用いる場合はプロセス温度は1200℃程度まで許容されるが、ガラス基板を用いる場合は、600℃以下の低温プロセスに制限される。また、不純物の放出拡散を抑えるために酸化膜あるいは窒素化膜を堆積させた石英基板やガラス基板を用いる場合もある。本発明は、石英基板を用い、前記非単結晶半導体薄膜としてSi薄膜を用いた場合を実施例として説明する。プラズマCVD装置を用い、第1図(a)に示すように石英基板1-1上に、シランガス(SiH₄)と不純物ガスの混合ガスを、13.56MHzの高周波グロー放電により分解させて不純物添加非晶質シリコン薄膜1-2を堆積させる。膜厚は、1000Å~1μm程度、2000Åから5000Åが最適である。膜中の不純物濃度は1×10¹⁸~1×10²¹cm⁻³程度となるようにする。N

PCVD法の場合にはシランガス(SiH₄)と共にフォスフィンガス(PH₃)あるいはジボランガス(B₂H₆)あるいはアルシランガス(AsH₃)などのドーピングガスを反応管の中に流して熱分解させ、成膜する。成膜温度は500℃~600℃程度の低温にすれば核発生確率はちいさく、その後の固相成長によってより大きな結晶粒径に成長する。そのほかプラズマCVD法や光励起CVD法なども有効な方法である。2)の方法としては、LPCVD法、APCVD法、光励起CVD法、プラズマCVD法、真空蒸着法、スputer法などの方法により、不純物未添加シリコン薄膜を堆積後、イオン注入法あるいはレーザードーピング法あるいはプラズマドーピング法などの方法で不純物を添加する。前記非晶質絶縁基板1-1として石英基板を用いた場合には熱拡散法を使うことができる。不純物濃度は、1×10¹⁸から1×10²¹cm⁻³程度とする。

次に、前記不純物未添加シリコン薄膜を固相成長させて、固相成長不純物添加シリコン薄膜を形

成する。固相成長は、窒素ガスあるいは水素ガスあるいはアルゴンガスあるいはヘリウムガス雰囲気中での熱処理によって行う。熱処理は、500℃～600℃の低温では数時間から数十時間行い、600℃以上の高温ではおよそ1時間程度行う。600℃、17時間程度のアニールで2μm以上の結晶粒径が得られる。600℃以上の場合は1-1が石英基板であることが必要である。また低温でゆっくりと固相成長させたほうが大きな結晶粒径に成長する。前記不純物添加シリコン薄膜1-2が、プラズマCVD法によって成膜された場合は、前記固相成長熱処理の前に、300℃～450℃の熱処理により膜中の水素を脱離させることが必要になる。固相成長後、前記固相成長不純物添加シリコン薄膜のシート抵抗 ρ_s の値は、数 Ω/\square ～数十 Ω/\square 程度の低抵抗になる。

その後、フォトリソグラフィ法によって前記固相成長不純物添加シリコン薄膜をパターンニングして、固相成長不純物添加シリコン島1-3と1-4を形成する。またパターンエッジはテーパー状

長の核密度が少ないものを用いる。また膜厚は数百Åから数千Åと薄くする。LPCVD法の場合は、デポ温度がなるべく低くて、デポ速度が早い条件が適している。シランガス(SiH_4)を用いる場合は500℃～560℃程度、ジシランガス(Si_2H_6)を用いる場合は300℃～500℃程度のデポ温度で分解堆積が可能である。トリシランガス(Si_3H_8)は分解温度がより低い。デポ温度を高くすると堆積した膜が多結晶になるので、 Si イオン注入によって一旦非晶質化する方法もある。プラズマCVD法の場合は、基板温度が500℃以下でも成膜できる。また、デポ直前に水素プラズマあるいはアルゴンプラズマ処理を行えば、基板表面の清浄化と成膜を連続的に行うことができる。光励起CVD法の場合も500℃以下の低温デポ及び基板表面の清浄化と成膜を連続的に行うことができる点で効果的である。EB蒸着法等のような高真空蒸着法の場合は膜がポーラスであるために大気中の酸素を膜中に取り込み易く、結晶成長の妨げとなる。このことを防ぐ

に傾斜をつけてもよい。パターンニングは弗酸硝酸混合液を用いるwetエッチング法、あるいはフロンガスプラズマによるdryエッチング法などがあるが、フロンガスと酸素ガスの混合比を変えるだけで簡単にテーパーエッチができるという点でdryエッチング法が適している。該固相成長不純物添加シリコン島1-3及び1-4は薄膜トランジスタのソース領域及びドレイン領域となる。前記不純物添加シリコン島1-3と1-4を形成してから固相成長させてもよい。

次に第1図(c)に示すように、不純物未添加シリコン薄膜1-5を積層する。前記固相成長不純物添加シリコン島1-3と1-4の表面を清浄化することは重要で、酸やアルカリなどを使った化学的洗浄後、水素プラズマあるいはアルゴンプラズマ等で酸化膜を除去してやるのが効果的である。この様な方法で前記固相成長不純物添加シリコン薄膜1-3と1-4の表面を清浄化したのち、不純物未添加シリコン薄膜1-5を積層する。該不純物未添加シリコン薄膜1-5には、結晶成

ために、真空雰囲気から取り出す前に300℃～500℃程度の低温熱処理を行い膜を緻密化させることが必要である。スパッタ法の場合も高真空蒸着法の場合と同様である。

続いて前記不純物未添加シリコン薄膜1-5を固相成長させ第1図(d)に示すよう再結晶化未添加シリコン薄膜1-6(以後、 i -シリコン薄膜と略す)を形成する。固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。1×10⁻⁴から1×10⁻¹⁰Torrの高真空雰囲気で行ってもよい。固相成長アニール温度は500℃～700℃とする。この様な低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが成長し、しかもゆっくりと大きく成長する。前記 i -シリコン薄膜1-6の固相成長は、前記再結晶化シリコン薄膜1-3および1-4と、前記 i -シリコン薄膜1-6との接触面から始まり、この部分を中心として放射状

に進む。そして前記固相成長不純物添加シリコン薄膜1-3と1-4との中間点で、両方向から成長してきた結晶粒がぶつかり合い、結晶粒界1-7が形成される。次に前記i-シリコン薄膜1-6をフォトリソグラフィ法によりパターンニングし、第1図(e)に示すようにする。フレオングスによるプラズマエッチングなどの方法でエッチングする。

次に第1図(f)に示されているように、ゲート酸化膜1-8を形成する。該ゲート酸化膜の形成方法としてはLPCVD法、あるいは光励起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸着法、あるいはプラズマ酸化法、あるいは高圧酸化法などのような500℃以下の低温方法がある。該低温方法で成膜されたゲート酸化膜は、熱処理することによってより緻密で界面準位の少ない優れた膜となる。非晶質絶縁基板1-1として石英基板を用いる場合は、熱酸化法によることができる。該熱酸化法にはdry酸化法とwet酸化法とがあるが、酸

ス領域1-9あるいはドレイン領域1-10の端までの距離つまりオフセット距離は、0.2~2μm程度が適している。第1図(g)において、Lは前記オフセット距離を示している。

続いて、第1図(h)に示されるように、不純物イオンをイオン注入しオフセット領域1-12及び1-13を形成する。1-14は前記イオン注入時の不純物イオンビームを示している。前記不純物イオンとしては、Nchトランジスタを作製する場合はP⁺あるいはAs⁺を用い、Pchトランジスタを作製する場合はB⁺等を用いる。該オフセット領域1-12および1-13のイオンドーザ量は前記ソース領域及びドレイン領域のドーザ量よりも少なくする。具体的には $1 \times 10^{12} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度が適している。

続いて第1図(i)に示されるように、層間絶縁膜1-15を積層する。該層間絶縁膜材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚はいくらでもよいが、数千Åから数μm程度が普通である。窒化膜の形成方法

化温度は1000℃以上と高いが膜質が優れていることからdry酸化法の方が適している。ゲート酸化工程中に、前記固相成長不純物添加シリコン薄膜1-3と1-4中の不純物が前記i-シリコン薄膜1-6中にわずかに拡散して、ソース領域1-9、及びドレイン領域1-10が形成される。

次に第1図(g)に示されるように、ゲート電極1-11を形成する。該ゲート電極材料としては多結晶シリコン薄膜、あるいはモリブデンシリサイド、あるいはアルミニウムやクロムなどのような金属膜、あるいはITOやSnO₂などのような透明性導電膜などを用いることができる。成膜方法としては、CVD法、スパッタ法、真空蒸着法、等の方法があるが、ここでの詳しい説明は省略する。次に、フォトリソグラフィ法によりゲート電極1-11形成する。ここで、該ゲート電極1-11の長さは、前記ソース領域1-9とドレイン領域1-10との間隔よりも小さくする。また、前記ゲート電極1-11の端から前記ソー

としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス(NH₃)とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。次に、前記ソース領域1-9及びドレイン領域1-10及びオフセット領域1-12と1-13の活性化と、層間絶縁膜1-15の緻密化の目的で600℃~1100℃程度の熱処理を行う。絶縁性非晶質材料1-1としてガラス基板を用いる場合は400℃~600℃程度の低温で長時間アニールするか、またはレーザーアニール法などを用いてもよい。

ここで、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンをi-シリコン薄膜1-6に導入すると、界面に存在する界面準位などの欠陥が不活性化される。このような水素化工程は、層間絶縁膜1-15を積層する前におこなってもよい。

次に第1図(j)に示すように、前記層間絶縁

膜及びゲート絶縁膜にコンタクトホールを形成し、前記ソース領域 1-9 とドレイン領域 1-10 とのコンタクトをとるコンタクト電極を形成しソース電極 1-16 およびドレイン電極 1-17 とする。該ソース電極及びドレイン電極は、アルミニウムなどの金属材料で形成する。この様にして薄膜トランジスタが形成される。同図に示されるようにデュアルゲートを有する MOS 型薄膜トランジスタとなる。

[発明の効果]

従来薄膜トランジスタのチャネル領域には結晶粒界が幾つ存在するかわからなかった。結晶粒界がどこに存在しているのか、あるいは結晶粒径がどれくらいの大きさなのか知ることができなかった。しかし本発明によると、薄膜トランジスタのチャネル領域に存在する結晶粒界の数は、必ず 1 個だけである。結晶粒界の場所もチャネル領域のちょうど中間点となる。チャネル領域内の結晶粒界の数を大幅に低減できたので、従来に比べて、

を持つシリコン薄膜をシードとして不純物未添加シリコン薄膜を固相成長させるので従来よりも大きな結晶粒径を持つ不純物未添加シリコン薄膜が形成される。600℃以下の低温のプロセスでも作製が可能なので、価格が安くて耐熱温度が低いガラス基板をもちいることができる。高価で大がかりな装置は必要としないので、優れたシリコン薄膜が得られるのにかかわらずコストアップとはならない。

非晶質絶縁基板上に優れた特性の薄膜トランジスタを作製することが可能となるので、ドライバ回路を同一基板上に集積したアクティブマトリクス基板に応用した場合にも十分な高速動作が実現される。さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、600℃以下の低温プロセスによる作製も可能なので、アクティブマトリクス基板のてい価格が及び大面積化に対してもその効果は大きい。

本発明を、光電変換素子とその走査回路を同一チップ内に集積した密着型イメージセンサーに

薄膜トランジスタの ON 電流は増大し OFF 電流は小さくなる。またスレッショールド電圧も小さくなりトランジスタ特性が大きく改善される。フォト工程数を増やすことなく LDD 構造を実現できるのでオフ電流の低減に対してきわめて大きな効果が期待される。さらに、薄膜トランジスタの OFF 領域に特有の OFF リーク電流のはねあがりを抑えることができる。自己整合的にソース領域とドレイン領域が形成されるので短チャネル化に対して効果があり、特性のばらつきも少ない。チャネル領域の膜厚は程度と薄く、コンタクトを形成するソース及びドレイン領域の膜厚はと厚いのでコンタクト抵抗が小さくなる。その結果、薄膜トランジスタのサブスレッショールド領域の立ち上がりは非常に急峻となり、コンタクト抵抗に制限されないような大きなオン電流が得られる。

非晶質絶縁基板上に結晶粒界の場所が制御された結晶性の優れたシリコン薄膜を作製することが可能になったので SOI 技術の発展に大きく寄与するものである。不純物添加された大きな結晶粒

用した場合には、読み取り速度の高速化、高解像度化、さらに階調をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップで A4 判あるいは A3 判の様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本継ぎのような手数がかかり信頼性の悪い技術を回避することができ、実装歩留りも向上される。

石英基板やガラス基板だけではなく、サファイア基板 (Al_2O_3) あるいは $MgO \cdot Al_2O_3$, BP, CaF_2 等の結晶性絶縁基板も用いることができる。

以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対

しても、本発明を応用することができる。また、
三次元デバイスのような S O I 技術を利用した素
子に対して、本発明を応用することができる。

4. 図面の簡単な説明

第 1 図 (a) から (j) は、本発明における薄
膜半導体装置の製造方法を示す工程図である。

- 1-1 ; 絶縁性非晶質材料
1-3 ; 固相成長不純物添加シリコン

島

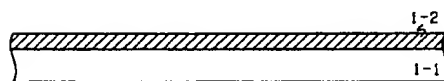
- 1-4 ; 同上
1-6 ; 固相成長未添加シリコン薄膜

(i-シリコン薄膜)

- 1-7 ; 結晶粒界
1-8 ; ゲート酸化膜
1-9 ; ソース領域
1-10 ; ドレイン領域
1-11 ; ゲート電極

以上

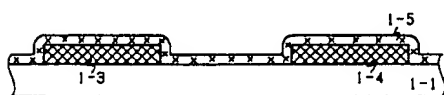
出願人 セイコーエプソン株式会社
代理人弁理人 鈴木喜三郎 他 1 名



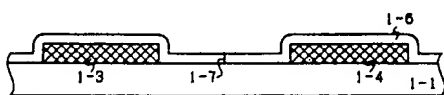
第1図(a)



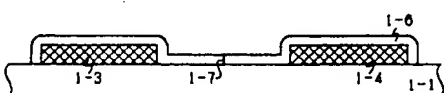
第1図(b)



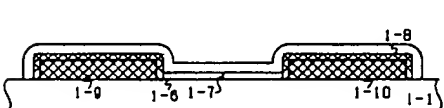
第1図(c)



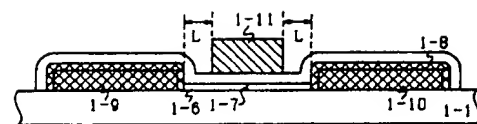
第1図(d)



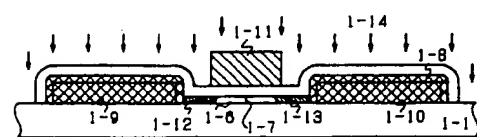
第1図(e)



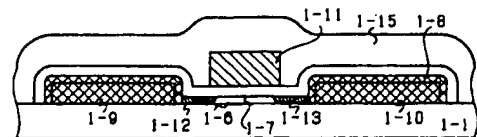
第1図(f)



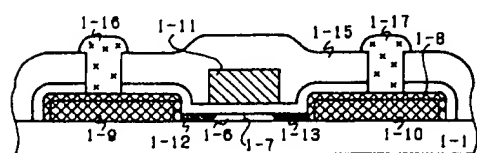
第1図(g)



第1図(h)



第1図(i)



第1図(j)